

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-232172

(43)Date of publication of application : 22.08.2000

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

H01L 27/115

(21)Application number : 11-032820

(71)Applicant :

SANYO ELECTRIC CO LTD

(22)Date of filing : 10.02.1999

(72)Inventor :

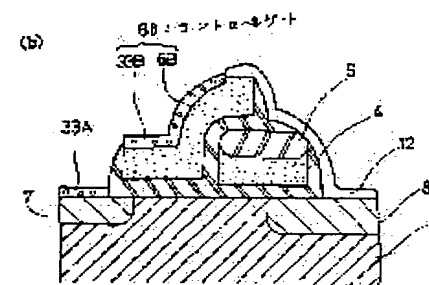
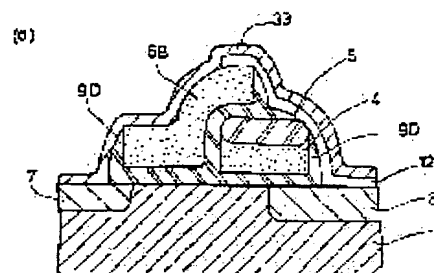
KITAGAWA KATSUHIKO

(54) NONVOLATILE SEMICONDUCTOR MEMORY AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a nonvolatile semiconductor memory adopting a silicifying process and a method for manufacturing it.

SOLUTION: In the nonvolatile semiconductor memory comprising a floating gate 4 formed on a silicon substrate 1, a tunnel oxide film 3 covering the gate 4, a control gate 66 formed to have an area superposed on the gate 4 through the film 3, N-type source and drain regions 7, 8 formed on a surface of the substrate 1 adjacent to the gate 4 and the gate 66, and metal wirings connected to the regions 7, 8 through an interlayer insulating film 9, the gate 66 is constituted of a polysilicon film (second conductive film 6B) and a titanium silicide film 33B.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-232172

(P2000-232172A)

(43) 公開日 平成12年8月22日 (2000.8.22)

(51) Int.Cl. ⁷	識別記号	F I	ターマコト* (参考)	
H 0 1 L	21/8247	H 0 1 L	29/78	3 7 1
	29/788		27/10	4 3 4
	29/792			5 F 0 0 1
	27/115			5 F 0 8 3

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号 特願平11-32820

(22) 出願日 平成11年2月10日 (1999.2.10)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 北川 勝彦

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

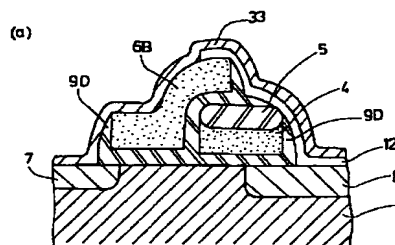
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置とその製造方法

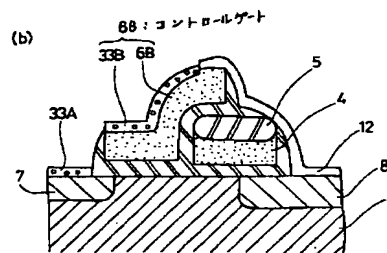
(57) 【要約】

【課題】 シリサイドプロセスを採用した不揮発性半導体記憶装置とその製造方法。

【解決手段】 シリコン基板1上に形成されたフローティングゲート4と、このフローティングゲート4を被覆するトンネル酸化膜3と、このトンネル酸化膜3を介して前記フローティングゲート4上に重なる領域を持つように形成されるコントロールゲート66と、前記フローティングゲート4及び前記コントロールゲート66に隣接する前記シリコン基板1の表面に形成されるN型のソース・ドレイン領域7、8と、層間絶縁膜9を介して前記ソース・ドレイン領域7、8に接続された金属配線10とを備えた不揮発性半導体記憶装置において、前記コントロールゲート66がポリシリコン膜(第2の導電膜6B)とチタンシリサイド膜33Bとから構成されていることを特徴とする。



33: チタン膜



33A, 33B: チタンシリサイド膜

【特許請求の範囲】

【請求項1】 一導電型のシリコン基板上に形成されたフローティングゲートと、このフローティングゲートを被覆する絶縁膜と、この絶縁膜を介して前記フローティングゲート上に重なる領域を持つように形成されるコントロールゲートと、前記フローティングゲート及び前記コントロールゲートに隣接する前記シリコン基板の表面に形成される逆導電型の拡散領域と、層間絶縁膜を介して前記拡散領域に接続された金属配線とを備えた不揮発性半導体記憶装置において、前記コントロールゲートがポリシリコン膜とその上面がシリサイド化されたチタンシリサイド膜から成る積層膜であることを特徴とする不揮発性半導体記憶装置。

【請求項2】 一導電型のシリコン基板上に形成されたフローティングゲートと、このフローティングゲートを被覆する絶縁膜と、この絶縁膜を介して前記フローティングゲート上に重なる領域を持つように形成されるコントロールゲートと、前記フローティングゲート及び前記コントロールゲートに隣接する前記シリコン基板の表面に形成される逆導電型の拡散領域と、層間絶縁膜を介して前記拡散領域に接続された金属配線とを備えた不揮発性半導体記憶装置において、一方の拡散領域表面には前記コントロールゲートの一部を構成するチタンシリサイド膜と同時に形成されたチタンシリサイド膜を介して前記金属配線が形成され、他方の拡散領域表面にはチタンシリサイド膜を介することなしに前記金属配線が形成されていることを特徴とする不揮発性半導体記憶装置。

【請求項3】 前記他方の拡散領域表面には、チタンシリサイド膜が形成されないようにシリサイド化防御膜が形成されていることを特徴とする請求項2に記載の不揮発性半導体記憶装置。

【請求項4】 一導電型のシリコン基板上に形成された上部に先鋭な角部を有するポリシリコン膜から成るフローティングゲートと、前記フローティングゲートを被覆するトンネル酸化膜と、前記トンネル酸化膜を介して前記フローティングゲート上に重なる領域を持つように形成されるポリシリコン膜とその上面がシリサイド化されたチタンシリサイド膜との積層膜から成るコントロールゲートと、前記フローティングゲート及び前記コントロールゲートを被覆するように形成された絶縁膜と、前記フローティングゲート及び前記コントロールゲートに隣接する前記シリコン基板の表面に形成される逆導電型の拡散領域と、一方の拡散領域表面に形成されたチタンシリサイド膜と、他方の拡散領域側の前記フローティングゲート上部の先鋭な角部を被覆するように形成されたシリサイド化防御膜と、

層間絶縁膜を介して前記拡散領域に接続された金属配線とを具備したことを特徴とする不揮発性半導体記憶装置。

【請求項5】 前記シリサイド化防御膜が、TEOS膜あるいはHTO膜あるいはSiN膜であることを特徴とする請求項3あるいは請求項4に記載の不揮発性半導体記憶装置。

【請求項6】 一導電型のシリコン基板上に形成されたフローティングゲートと、このフローティングゲートを被覆する絶縁膜と、この絶縁膜を介して前記フローティングゲート上に重なる領域を持つように形成されるコントロールゲートと、前記フローティングゲート及び前記コントロールゲートに隣接する前記シリコン基板の表面に形成される逆導電型の拡散領域とを備えた不揮発性半導体記憶装置の製造方法において、前記フローティングゲート及び前記コントロールゲートを被覆するように絶縁膜を形成した後にこの絶縁膜を異方性エッチングして前記コントロールゲートの上面を露出させると共に前記フローティングゲート及び前記コントロールゲートの側壁部を被覆するようにサイドウォールスペース膜を形成する工程と、一方の拡散領域上にシリサイド化防御膜を形成する工程と、全面を洗浄した後に全面に被シリサイド化膜を形成する工程と、前記被シリサイド化膜を熱処理してシリサイド膜を形成した後にシリサイド化しない被シリサイド化膜を除去する工程と、層間絶縁膜を形成した後にこの層間絶縁膜を介して前記拡散領域にコンタクトする金属配線を形成する工程とを具備したことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項7】 一導電型のシリコン基板の表面を熱酸化してゲート酸化膜を形成する工程と、前記ゲート酸化膜上に第1の導電膜を形成し、この第1の導電膜上に所定のパターンの開口を有する耐酸化膜を形成した後に、前記開口に応じて前記第1の導電膜を選択酸化して選択酸化膜を形成する工程と、前記選択酸化膜をマスクにして前記第1の導電膜をエッチングして上部に先鋭な角部を有するフローティングゲートを形成する工程と、前記フローティングゲートを被覆するようにトンネル酸化膜を形成する工程と、前記トンネル酸化膜を介して前記フローティングゲート上に重なる領域を持つように第2の導電膜を形成する工程と、前記フローティングゲート及び前記第2の導電膜を被覆するように絶縁膜を形成した後にこの絶縁膜を異方性エッチングして前記第2の導電膜の上面を露出させると共に前記フローティングゲート及び前記第2の導電膜の側

壁部を被覆するようにサイドウォールスペーサ膜を形成する工程と、

前記フローティングゲート及び前記第2の導電膜に隣接する前記シリコン基板の表面に逆導電型の拡散領域を形成する工程と、

一方の拡散領域上にシリサイド化防御膜を形成する工程と、

全面を洗浄した後全面に被シリサイド化膜を形成する工程と、

前記被シリサイド化膜を熱処理してシリサイド膜を形成した後にシリサイド化しない被シリサイド化膜を除去して他方の拡散領域上にチタンシリサイド膜を形成すると共に前記第2の導電膜上面にもチタンシリサイド膜を形成し、この第2の導電膜とその上面に形成されるチタンシリサイド膜から成るコントロールゲートを形成する工程と、

層間絶縁膜を形成した後にこの層間絶縁膜を介して前記拡散領域にコンタクトする金属配線を形成する工程とを具備したことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項8】 前記シリサイド化防御膜が、TEOS膜あるいはHTO膜あるいはSiN膜であることを特徴とする請求項6あるいは請求項7に記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フローティングゲートと、このフローティングゲートを被覆するトンネル酸化膜を介してフローティングゲートに重なるように形成されるコントロールゲートとを有する不揮発性半導体記憶装置とその製造方法に関し、更に言えば、そのような不揮発性半導体記憶装置におけるシリサイドプロセスの改良技術に関する。

【0002】

【従来の技術】メモリセルが単一のトランジスタからなる電氣的に消去可能な不揮発性半導体記憶装置、特にプログラマブルROM(EEPROM:Electrically Erasable and Programmable ROM)においては、フローティングゲートとコントロールゲートとを有する2重ゲート構造のトランジスタによって各メモリセルが形成される。このような2重ゲート構造のメモリセルトランジスタの場合、フローティングゲートのドレイン領域側で発生したホットエレクトロンを加速してフローティングゲートに注入することでデータの書き込みが行われる。そして、F-N伝導(Fowler-Nordheim tunnelling)によってフローティングゲートからコントロールゲートへ電荷を引き抜くことでデータの消去が行われる。

【0003】図7はフローティングゲートを有する不揮発性半導体記憶装置のメモリセル部分の平面図で、図8はそのX1-X1線の断面図である。この図において

は、コントロールゲートがフローティングゲートと並んで配置されるスプリットゲート構造を示している。

【0004】P型のシリコン基板1の表面領域に、LOCOS(Local Oxidation Of Silicon)法により選択的に厚く形成されるLOCOS酸化膜よりなる複数の素子分離膜2が短冊状に形成され、素子領域が区画される。シリコン基板1上に、酸化膜3Aを介し、隣り合う素子分離膜2の間に跨るようにしてフローティングゲート4が配置される。このフローティングゲート4は、1つのメモリセル毎に独立して配置される。また、フローティングゲート4上の選択酸化膜5は、選択酸化法によりフローティングゲート4の中央部で厚く形成され、フローティングゲート4の端部には鋭角な角部が形成されている。これにより、データの消去動作時にフローティングゲート4の端部で電界集中が生じ易いようにしている。

【0005】複数のフローティングゲート4が配置されたシリコン基板1上に、フローティングゲート4の各列毎に対応して前記酸化膜3Aと一体化されたトンネル酸化膜3を介してコントロールゲート6が配置される。このコントロールゲート6は、一部がフローティングゲート4上に重なり、残りの部分が酸化膜3Aを介してシリコン基板1に接するように配置される。また、これらのフローティングゲート4及びコントロールゲート6は、それぞれ隣り合う列が互いに面対称となるように配置される。

【0006】前記コントロールゲート6の間の基板領域及びフローティングゲート4の間の基板領域に、N型のドレイン領域7及びソース領域8が形成される。ドレイン領域7は、コントロールゲート6の間に素子分離膜2に囲まれてそれぞれが独立し、ソース領域8は、コントロールゲート6の延在する方向に連続する。これらのフローティングゲート4、コントロールゲート6、ドレイン領域7及びソース領域8によりメモリセルトランジスタが構成される。

【0007】そして、前記コントロールゲート6上に、層間絶縁膜9を介して、金属配線10がコントロールゲート6と交差する方向に配置される。この金属配線10は、コンタクトホール11を通して、ドレイン領域7に接続される。そして、各コントロールゲート6は、ワード線となり、コントロールゲート6と平行に延在するソース領域8は、ソース線となる。また、ドレイン領域7に接続されるアルミニウム合金等から成る金属配線10は、ビット線となる。

【0008】このような2重ゲート構造のメモリセルトランジスタの場合、フローティングゲート4に注入される電荷の量によってソース、ドレイン間のオン抵抗値が変動する。そこで、フローティングゲート4に選択的に電荷を注入することにより、特定のメモリセルトランジスタのオン抵抗値を変動させ、これによって生じる各メ

10

20

30

40

50

モリセルトランジスタの動作特性の差を記憶するデータに対応づけるようにしている。

【0009】以上の不揮発性半導体記憶装置におけるデータの書き込み、消去及び読み出しの各動作は、例えば、以下のようにして行われる。書き込み動作においては、コントロールゲート6の電位を2V、ドレイン領域7の電位を0.5V、ソース領域8の高電位を12Vとする。すると、コントロールゲート6及びフローティングゲート4間とフローティングゲート4及び基板（ソース領域8）間とが容量結合されており（コントロールゲート6及びフローティングゲート4間の容量<フローティングゲート4及び基板（ソース領域8）間の容量）、この容量結合比によりフローティングゲート4の電位が9V程度に持ち上げられ、ドレイン領域7付近で発生するホットエレクトロンがフローティングゲート4側へ加速され、酸化膜3Aを通してフローティングゲート4に注入されてデータの書き込みが行われる。

【0010】一方、消去動作においては、ドレイン領域7及びソース領域8の電位を0Vとし、コントロールゲート6を14Vとする。これにより、フローティングゲート4内に蓄積されている電荷（電子）が、フローティングゲート4の角部の鋭角部分からF-N（Fowler-Nor

dheim tunnelling）伝導によって前記トンネル酸化膜3を突き抜けてコントロールゲート6に放出されてデータが消去される。

【0011】そして、読み出し動作においては、コントロールゲート6の電位を4Vとし、ドレイン領域7を2V、ソース領域8を0Vとする。このとき、フローティングゲート4に電荷（電子）が注入されていると、フローティングゲート4の電位が低くなるため、フローティングゲート4の下にはチャネルが形成されずドレイン電流は流れない。逆に、フローティングゲート4に電荷（電子）が注入されていなければ、フローティングゲート4の電位が高くなるため、フローティングゲート4の下にチャネルが形成されてドレイン電流が流れる。

【0012】このような不揮発性半導体記憶装置のメモリの製造方法について図面を参照しながら説明する。

【0013】まず、図9（a）において、P型の半導体基板1の所定の領域に素子分離膜2を形成する（図7参照）と共に、この素子分離膜2以外の表層におよそ100Åの膜厚のゲート酸化膜3Aを形成する。そして、前記ゲート酸化膜3A上におよそ1500Åの膜厚のポリシリコン膜を形成し、このポリシリコン膜にリンドーパした第1の導電膜4A上に開口部23Aを有するシリコン窒化膜23を形成する。

【0014】次に、図9（b）に示すように、前記シリコン窒化膜23をマスクにして前記第1の導電膜4AをLOCOS（Local Oxidation Of Silicon）法により選択酸化して選択酸化膜5を形成する。

【0015】続いて、図10（a）に示すように、前記選択酸化膜5をマスクにして前記第1の導電膜4Aを異方性エッチングして、選択酸化膜5下にフローティングゲート4を形成する。このとき、前記選択酸化膜5の形状を反映して、フローティングゲート4の上部に先鋭な角部4Bが形成される。これにより、消去動作時にこの角部4Bに電界が集中することになり、フローティングゲート4に蓄積された電子（電荷）がトンネル酸化膜3を介してコントロールゲート6に抜け易くして、消去効率を向上させている。

【0016】次に、図10（b）に示すように、前記フローティングゲート4を被覆するように前記ゲート酸化膜3Aと一体形成されるおよそ300Åの膜厚の絶縁膜（以下、トンネル酸化膜3と称す）を形成する。尚、前記トンネル酸化膜3は、ゲート酸化膜3Aとそのゲート酸化膜3A上にCVD法によりCVD酸化膜、例えば、TEOS（Tetra Ethyl Ortho Silicate）膜やHTO（High Temperature Oxide）膜等を形成した後熱酸化して成るものである。

【0017】続いて、図11（a）に示すように、前記トンネル酸化膜3上に例えば、リンドーパされたおよそ1000Åの膜厚のポリシリコン膜とおよそ1200Åの膜厚のタングステンシリサイド膜（WSi₂膜）とから成る2層構造の第2の導電膜6A及びおよそ2500Åの膜厚の絶縁膜9Aを形成する。そして、前記絶縁膜9A上に不図示のフォトリソ膜を形成し、このレジスト膜をマスクにして前記導電膜6A及び絶縁膜9Aをパターンニングして、上部に前記絶縁膜9Bを積層して成るコントロールゲート6を前記トンネル酸化膜3を介して前記フローティングゲート4の一端部側にその上部から側壁部に跨るように形成する。そして、前記レジスト膜を除去した後、少なくともドレイン領域形成予定部を図示しないフォトリソ膜で被覆して、このフォトリソ膜をマスクにして基板1の表層にn型不純物、例えばリンイオン（31P⁺）を注入してアニール処理して拡散し、ソース領域8を形成する。尚、イオン注入される前記n型不純物として、ヒ素イオン（75As⁺）等を用いても良い。

【0018】次に、図11（b）に示すように、前記基板1上の全面にLPCVD法によりLPCVD酸化膜（例えば、TEOS膜）から成る絶縁膜9Cを形成した後、図12（a）に示すように、前記絶縁膜9C及びトンネル酸化膜3を異方性エッチングして、ソース・ドレイン形成領域上面を露出させると共に側壁スペーサ膜9Dを形成する。

【0019】そして、前記フローティングゲート4及びコントロールゲート6をマスクにして、基板1の表層にn型不純物、例えばリン（31P⁺）イオンを注入し、アニール処理してドレイン領域7を形成する。尚、イオン注入される前記n型不純物として、ヒ素イオン（75As⁺）

+)等を用いても良い。

【0020】次に、図12(b)に示すように、基板1全面にLPCVD法によりおよそ350Åの膜厚のLPTEOS膜12Aを形成し、前記ソース領域8上を被覆するフォトリソ膜25をマスクにして、このTEOS膜12Aをバタニングしてソース領域8上にシリサイド化防御膜12を形成する。このシリサイド化防御膜12は、フローティングゲート4上部の先鋭な角部4Bを被覆するサイドウォールスペース膜9Dによるシリサイド化防御作用を助ける働きをするものである。詳しくは後述するが、フローティングゲート4の角部4Bをサイドウォールスペース膜9Dと共に被覆しているため、後工程で全面にチタン膜が形成され、熱処理が加えられることで、そのチタン膜と下面のSiとが反応してシリサイド化してチタンシリサイド(TiSi₂)膜を形成する際に、シリサイド化させたくない部分へのシリサイド化を確実に防止することができる。

【0021】続いて、図13(a)に示すように、基板1全面に被シリサイド化膜としての金属膜、例えばおよそ250Å～350Åの膜厚のチタン(Ti)膜13Aをスパッタ形成した後、このチタン膜13Aを蒸着し熱処理(ラビット・サーマル・アニール、以下RTAと称す。)を加えることで、シリサイド化を図り、絶縁膜9B及びサイドウォールスペース膜9D上に残留したチタン膜13Aを除去することで、図13(b)に示すように、前記ドレイン領域7の表層を選択的、自己整合的にチタンシリサイド(TiSi₂)膜13を形成する。尚、RTA処理は、過剰なシリサイド化が進まないように2ステップで行っている。即ち、第1回目のRTA処理をおよそ650℃～700℃で、30秒ほど行い、続いて第2回目のRTA処理をおよそ750℃～850℃で、30秒ほど行っている。

【0022】そして、図14に示すように、全面におよそ6000Åの膜厚のBPSG膜から成る層間絶縁膜9を形成した後に、前記ソース・ドレイン領域7、8上にコンタクトするコンタクトホール11を形成し、ソース・ドレイン領域7、8上に不図示のバリアメタル膜(例えば、チタン膜及びチタンナイトライド(TiN)膜との積層膜)を介してコンタクトブラグ(例えば、タングステン膜から成る)10Aを形成し、このコンタクトブラグ10A上に金属膜10B(例えば、Al、Al-Si、Al-Si-Cu)を形成し、金属配線10を形成している。尚、バリアメタル膜を介して直接、例えば、Al、Al-Si、Al-Si-Cuから成る金属配線を形成するものであっても良い。ここで、ドレイン領域7上にはチタンシリサイド膜13が形成されているため、コンタクト部でのコンタクト抵抗の低減化が図られている。

【0023】

【発明が解決しようとする課題】しかしながら、上記構

成の従来装置において、コントロールゲート6の配線抵抗を下げるためにポリシリコン膜の上にタングステンシリサイド(WSix)膜を積層している。そして、このコントロールゲート6のバタニングする際のハードマスクとコントロールゲート6へのダメージを防御するために、コントロールゲート6上に酸化膜から成る絶縁膜9Aを形成している(図11(a)参照)。

【0024】そのため、このコントロールゲート6をバタニングする際には、先ず絶縁膜9A(バタニングされて絶縁膜9B)を酸化膜エッチングし、その後、タングステンシリサイド(WSix)膜及びポリシリコン膜をそれぞれエッチングすることになり、製造工数が増大していた。

【0025】また、コントロールゲート6上に絶縁膜9Bが積層されているため、メモセル部での段差が高くなる一因となっていた。

【0026】従って、本発明はコントロールゲートの配線抵抗特性を損うことなしに、メモセル部での段差低減を可能にした不揮発性半導体記憶装置とその製造方法を提供することを目的とする。

【0027】

【課題を解決するための手段】そこで、本発明は上記課題を解決するためになされたもので、本発明の請求項1に記載の不揮発性半導体記憶装置は、例えば、P型のシリコン基板1上に形成されたフローティングゲート4と、このフローティングゲート4を被覆するトンネル酸化膜3と、このトンネル酸化膜3を介して前記フローティングゲート4上に重なる領域を持つように形成されるコントロールゲート66と、前記フローティングゲート4及び前記コントロールゲート66に隣接する前記シリコン基板1の表面に形成されるN型のソース・ドレイン領域7、8と、層間絶縁膜9を介して前記ソース・ドレイン領域7、8に接続された金属配線10とを備えた不揮発性半導体記憶装置において、前記コントロールゲート66がポリシリコン膜(第2の導電膜6B)とチタンシリサイド膜33Bとから構成されていることを特徴とする。

【0028】また、本発明の請求項2に記載の不揮発性半導体記憶装置は、前記ドレイン領域7表面には前記コントロールゲート66の一部を構成するチタンシリサイド膜33Bと同時に形成されたチタンシリサイド膜33Aを介して前記金属配線10が形成され、ソース領域8表面にはチタンシリサイド膜を介することなしに前記金属配線10が形成されていることを特徴とする。

【0029】更に、本発明の請求項3に記載の不揮発性半導体記憶装置は、前記ソース領域8表面には、チタンシリサイド膜が形成されないようにシリサイド化防御膜12が形成されていることを特徴とする。

【0030】また、本発明の請求項4に記載の不揮発性半導体記憶装置は、例えば、P型のシリコン基板1上に

10

20

30

40

50

形成された上部に先鋭な角部4Bを有するポリシリコン膜から成るフローティングゲート4と、このフローティングゲート4を被覆するトンネル酸化膜3と、このトンネル酸化膜3を介して前記フローティングゲート4上に重なる領域を持つように形成されるポリシリコン膜(第2の導電膜6B)とその上にチタンシリサイド膜33Bが積層されたコントロールゲート66と、前記フローティングゲート4及び前記コントロールゲート66を被覆するように形成された絶縁膜(サイドウォールスペーサ膜9D)と、前記フローティングゲート4及び前記コントロールゲート66に隣接する前記基板1の表面に形成されるN型のソース・ドレイン領域7、8と、ドレイン領域8表面に形成されたチタンシリサイド膜33Aと、少なくとも前記フローティングゲート4上部の先鋭な角部4Bを被覆するように形成されたシリサイド化防御膜12と、層間絶縁膜9を介して前記ソース・ドレイン領域7、8に接続された金属配線10とを具備したことを特徴とする。

【0031】更に、本発明の請求項5に記載の不揮発性半導体記憶装置は、前述した請求項3あるいは請求項4に記載の前記シリサイド化防御膜12が、TEOS膜あるいはHTO膜あるいはSiN膜から成ることを特徴とする。

【0032】また、本発明の請求項6に記載の不揮発性半導体記憶装置の製造方法は、P型のシリコン基板1上に形成されたフローティングゲート4と、このフローティングゲート4を被覆するトンネル酸化膜3と、このトンネル酸化膜3を介して前記フローティングゲート4上に重なる領域を持つように形成されるコントロールゲート66と、前記フローティングゲート4及び前記コントロールゲート66に隣接する前記基板1の表面に形成されるN型のソース・ドレイン領域7、8とを備えたものにおいて、前記フローティングゲート4及び前記コントロールゲート66を被覆するように絶縁膜9Cを形成した後に、この絶縁膜9Cを異方性エッチングして前記コントロールゲート66の上面を露出させると共に、前記フローティングゲート4及び前記コントロールゲート66の側壁部を被覆するようにサイドウォールスペーサ膜9Dを形成する。次に、ソース領域8上のシリサイド化防御膜12を形成し、全面にチタン膜を形成した後に、このチタン膜を熱処理して前記ドレイン領域7上にチタンシリサイド膜33Aを形成すると共に、前記コントロールゲート66上面にチタンシリサイド膜33Bを形成する。更に、層間絶縁膜9を形成した後に、この層間絶縁膜9を介して前記ソース・ドレイン領域7、8にコンタクトする金属配線10を形成する工程とを具備したことを特徴とする。

【0033】更に、本発明の請求項7に記載の不揮発性半導体記憶装置の製造方法は、P型のシリコン基板1の表面を熱酸化してゲート酸化膜3Aを形成し、このゲ-

ト酸化膜3A上に第1の導電膜4Aを形成し、この第1の導電膜4A上に所定のパターンの開口23Aを有するシリコン窒化膜23を形成した後に、前記開口23Aに応じて前記第1の導電膜4Aを選択酸化して選択酸化膜5を形成する。次に、前記選択酸化膜5をマスクにして前記第1の導電膜4Aをエッチングして上部に先鋭な角部4Bを有するフローティングゲート4を形成した後に、フローティングゲート4を被覆するようにトンネル酸化膜3を形成する。続いて、前記トンネル酸化膜3上に第2の導電膜6Aを形成した後に、この第2の導電膜6Aをパターンニングしてトンネル酸化膜3を介して前記フローティングゲート4上に重なる領域を持つように第2の導電膜6Bを形成する。更に、前記フローティングゲート4及び前記第2の導電膜6Bを被覆するように絶縁膜9Cを形成した後に、この絶縁膜9Cを異方性エッチングして前記第2の導電膜6Bの上面を露出させると共に前記フローティングゲート4及び前記第2の導電膜6Bの側壁部を被覆するようにサイドウォールスペーサ膜9Dを形成する。次に、前記フローティングゲート4及び前記第2の導電膜6Bに隣接する前記シリコン基板1の表面にN型のソース・ドレイン領域7、8を形成する。続いて、前記ソース領域8上にシリサイド化防御膜12を形成し、全面にチタン膜33を形成した後に、このチタン膜33を熱処理して前記ドレイン領域7上にチタンシリサイド膜33Aを形成すると共に、前記第2の導電膜6B上面にチタンシリサイド膜33Bを形成して、この第2の導電膜6B及びチタンシリサイド膜33Bから成るコントロールゲート66を形成する。更に、層間絶縁膜9を形成した後に、この層間絶縁膜9を介して前記ソース・ドレイン領域7、8にコンタクトする金属配線10を形成する工程とを具備したことを特徴とする。

【0034】また、本発明の請求項8に記載の不揮発性半導体記憶装置の製造方法は、前述した請求項6あるいは請求項7に記載の前記シリサイド化防御膜12が、TEOS膜あるいはHTO膜あるいはSiN膜であることを特徴とする。

【0035】

【発明の実施の形態】以下、本発明の不揮発性半導体記憶装置とその製造方法の一実施形態について図面を参照しながら説明する。尚、フローティングゲートを有する不揮発性半導体記憶装置のメモリエル部分の平面図及びその一部(X1-X1)断面図は、従来の図7及び図8に示す構成とほぼ同等であり、重複する説明を避けるために図示した説明は省略するが、以下、同等の構成には同符号を付して説明を簡略化する。そして、本発明の特徴は、図8の一部拡大図に対応する図5に示すようにコントロールゲート66(コントロールゲート6に対応する)を、ポリシリコン膜6Bとその上に積層されたチタンシリサイド膜33Bとで構成し、このチタンシリサイ

ド膜33Bをドレイン領域7上に形成するチタンシリサイド膜33Aと同一工程で形成していることである。これによりコントロールゲート66の配線抵抗特性を損うことなく、メモリセル部での段差を低減できる。

【0036】以下、このような不揮発性半導体記憶装置のメモリセルの製造方法について図面を参照しながら説明する。

【0037】まず、図1(a)において、P型の半導体基板1の所定の領域に素子分離膜2を形成する(図7参照)と共に、この素子分離膜2以外の表層にゲート酸化膜3Aをおよそ70Å~150Åの厚さに形成する。そして、前記ゲート酸化膜3A上にポリシリコン膜をおよそ1000Å~2000Åの厚さに形成し、このポリシリコン膜にリンドープした第1の導電膜4A上に開口部23Aを有するシリコン窒化膜23を形成する。

【0038】次に、図1(b)に示すように、前記シリコン窒化膜23をマスクにして第1の導電膜4AをLLOCOS(Local Oxidation Of Silicon)法により選択酸化して選択酸化膜5を形成する。

【0039】続いて、図2(a)に示すように、前記選択酸化膜5をマスクにして前記第1の導電膜4Aを異方性エッチングして、選択酸化膜5下にフローティングゲート4を形成する。このとき、前記選択酸化膜5の形状を反映して、フローティングゲート4の上部に先鋭な角部4Bが形成される。これにより、消去動作時にこの角部4Bに電界が集中することになり、フローティングゲート4に蓄積された電子(電荷)がトンネル酸化膜3を介してコントロールゲート66に抜け易くして、消去効率を向上させている。

【0040】次に、図2(b)に示すように、前記フローティングゲート4を被覆するように前記ゲート酸化膜3Aと一体形成される、厚さがおよそ200Å~400Åの絶縁膜(以下、トンネル酸化膜3と称す)を形成する。尚、前記トンネル酸化膜3は、ゲート酸化膜3Aとそのゲート酸化膜3A上にCVD法によりCVD酸化膜、例えば、TEOS(Tetra Ethyl Ortho Silicate)膜やHTO(High Temperature Oxide)膜等を形成した後に熱酸化して成るものである。

【0041】続いて、図3(a)に示すように、前記トンネル酸化膜3上に例えば、およそ2000Å~3000Åの膜厚のポリシリコン膜を形成し、このポリシリコン膜にPOCl₃を拡散源としてリンドープした第2の導電膜6Aを形成する。次に、前記第2の導電膜6A上に不図示のフォトリソ膜を形成し、このリソ膜をマスクにして前記第2の導電膜6Aをバタニングして、コントロールゲート6の一部を構成する第2の導電膜6Bを、前記トンネル酸化膜3を介して前記フローティングゲート4の一端部側にその上部から側壁部に跨るように形成する。そして、前記リソ膜を除去した後、少なくともドレイン領域形成予定部を図示しないフ

ォトリソ膜で被覆して、このフォトリソ膜をマスクにして基板1の表層にn型不純物、例えばリンイオン(31P+)をおよそドーズ量4.5~5.0×10¹³/cm²、加速電圧50~70KeVの注入条件で注入してアニール処理して拡散し、ソース領域8を形成する。尚、イオン注入される前記n型不純物として、ヒ素イオン(75As+)等を用いても良い。

【0042】次に、図3(b)に示すように、前記基板1上の全面にLPCVD法によりおよそ1500Å~2500Åの膜厚のLPCVD酸化膜(例えば、TEOS膜)から成る絶縁膜9Cを形成した後、図4(a)に示すように、前記絶縁膜9C及びトンネル酸化膜3を異方性エッチングして、前記第2の導電膜6B上面とソース・ドレイン形成領域上面を露出させると共に側壁スペーサ膜9Dを形成する。

【0043】そして、前記フローティングゲート4及び第2の導電膜6Bをマスクにして、基板1の表層にn型不純物、例えばリン(31P+)イオンをおよそドーズ量1.0~2.0×10¹³/cm²、加速電圧35~45KeVの注入条件で注入してアニール処理してドレイン領域7を形成する。尚、イオン注入される前記n型不純物として、ヒ素イオン(75As+)等を用いても良い。

【0044】次に、図4(b)に示すように、基板1全面にLPCVD法でおよそ300Å~400Åの膜厚のLPTEOS膜12Aを形成し、前記ソース領域8上を被覆するフォトリソ膜25をマスクにして、このTEOS膜12Aをバタニングしてソース領域8上にシリサイド化防御膜12を形成する。このシリサイド化防御膜12は、フローティングゲート4の上部角部4Bを被覆するサイドウォールスペーサ膜9Dによるシリサイド化防御作用を助ける働きをするものである。詳しくは後述するが、フローティングゲート4の上部角部4Bをサイドウォールスペーサ膜9Dと共に被覆しているため、後工程で全面にチタン膜が形成され、熱処理が加えられることで、そのチタン膜と下面のSiとが反応してシリサイド化してチタンシリサイド(TiSi₂)膜を形成する際に、シリサイド化させたくない部分へのシリサイド化を確実に防止することができる。尚、シリサイド化防御膜12の材質は、TEOS膜に限らず、HTO膜やシリコン窒化膜を用いても良い。

【0045】続いて、図5(a)に示すように、基板1全面に被シリサイド化膜としての金属膜、例えば、およそ200Å~400Åの膜厚のチタン(Ti)膜33をスパッタ形成した後、このチタン膜33を蒸着し熱処理(ラビット・サーマル・アニール、以下RTAと称す。)を加えることで、シリサイド化を図り、シリサイド化防御膜12及びサイドウォールスペーサ膜9D上に残留したチタン膜33を除去することで、図5(b)に示すように、前記ドレイン領域7の表層を選択的、自己整合的にチタンシリサイド(TiSi₂)膜33Aを形

成すると共に、前記第2の導電膜6B上面にチタンシリサイド($TiSi_2$)膜33Bを形成する。これにより、前記第2の導電膜6Bとチタンシリサイド($TiSi_2$)膜33Bから成るコントロールゲート66が形成される。尚、RTA処理は、過剰なシリサイド化が進まないように2ステップで行っている。即ち、第1回目のRTA処理をおよそ650℃～700℃で、10～45秒ほど行い、続いて第2回目のRTA処理をおよそ750℃～850℃で、10～45秒ほど行っている。

【0046】そして、図6に示すように、全面におよそ6000Åの膜厚のBPSG膜から成る層間絶縁膜9を形成した後に、前記ソース・ドレイン領域7、8上にコンタクトするコンタクトホール11を形成し、ソース・ドレイン領域7、8上に不図示のバリアメタル膜(例えば、チタン膜及びチタンナイトライド(TiN)膜との積層膜)を介してコンタクトプラグ(例えば、タングステン膜から成る)10Aを形成し、このコンタクトプラグ10A上に金属膜10B(例えば、 Al 、 $Al-Si$ 、 $Al-Si-Cu$)を形成し、金属配線10を形成している。尚、バリアメタル膜を介して直接、例えば、 Al 、 $Al-Si$ 、 $Al-Si-Cu$ から成る金属配線を形成するものであっても良い。ここで、ドレイン領域7上にはチタンシリサイド膜33Aが形成されているため、コンタクト部でのコンタクト抵抗の低減化が図られている。

【0047】以上説明したように本発明では、コントロールゲート66を第2の導電膜6B(ポリシリコン膜)とチタンシリサイド($TiSi_2$)膜33Bとで構成しているため、従来のポリシリコン膜とタングステンシリサイド(WSi_x)膜とで構成した従来装置に比して、更にコントロールゲートの配線抵抗を低くでき、デバイススピードの向上が図れる。尚、コントロールゲート66を構成するチタンシリサイド($TiSi_2$)膜33Bを形成する工程が、従来工程であるドレイン領域7上にチタンシリサイド($TiSi_2$)膜を形成する工程と同一工程で行えるため、製造工数が増大することはない。

【0048】また、従来のようにポリシリコン膜上にタングステンシリサイド(WSi_x)膜と、コントロールゲートのパターニング時のハードマスクとして絶縁膜9Bを積層形成する工程を省略でき、かつコントロールゲートのパターニング時に絶縁膜9B用の酸化膜エッチングやタングステンシリサイド(WSi_x)膜エッチングやポリシリコン膜エッチングを個別に行う必要がなくなり、製造工程の簡略化が図れる。

【0049】更に言えば、ポリシリコン膜上にタングステンシリサイド(WSi_x)膜と、ハードマスクとして絶縁膜9Bを積層形成することがないので、このメモリセル部での段差の低減化が図れる。

【0050】尚、本発明の一実施形態では、低抵抗なシリサイド材料として、現在の製造プロセスとの整合性が

らチタンシリサイド膜を採用しているが、このチタンシリサイド膜は線幅の縮小と共にシート抵抗が上昇する現象、いわゆる細線効果を生じ易いため、チタン膜よりも比較的細線効果の生じ難い材質、例えば、コバルト膜から成るコバルトシリサイド($CoSi_2$)膜を用いても良い。

【0051】更に言えば、一実施形態のチタンシリサイド膜を採用した場合においても、本発明のスプリットゲート型のフラッシュメモリ(フローティングゲート上部にコントロールゲートがまたがった形で乗り上がった状態となる)のデバイス構造に適用されることで、本デバイス構造では細線効果の生じ難い線幅を十分に確保でき、チタンシリサイド膜を比較的均一に形成できる。

【0052】

【発明の効果】本発明によれば、コントロールゲートをポリシリコン膜とチタンシリサイド膜とで構成しているため、従来のポリシリコン膜とタングステンシリサイド膜とで構成した従来装置に比して、更にコントロールゲートの配線抵抗を低くでき、デバイススピードの向上が図れる。尚、コントロールゲートを構成するチタンシリサイド膜を形成する工程が、従来工程であるドレイン領域上にチタンシリサイド膜を形成する工程と同一工程で行えるため、製造工数が増大することはない。

【0053】また、従来のようにポリシリコン膜上にタングステンシリサイド膜と、コントロールゲートのパターニング時のハードマスクとして絶縁膜を積層形成する工程を省略でき、かつコントロールゲートのパターニング時に絶縁膜用の酸化膜エッチングやタングステンシリサイド膜エッチングやポリシリコン膜エッチングを個別に行う必要がなくなり、製造工程の簡略化が図れる。

【0054】更に言えば、ポリシリコン膜上にタングステンシリサイド膜と、ハードマスクとして絶縁膜を積層形成することがないので、このメモリセル部での段差の低減化が図れる。

【図面の簡単な説明】

【図1】本発明の不揮発性半導体記憶装置の製造方法を示す断面図である。

【図2】本発明の不揮発性半導体記憶装置の製造方法を示す断面図である。

【図3】本発明の不揮発性半導体記憶装置の製造方法を示す断面図である。

【図4】本発明の不揮発性半導体記憶装置の製造方法を示す断面図である。

【図5】本発明の不揮発性半導体記憶装置の製造方法を示す断面図である。

【図6】本発明の不揮発性半導体記憶装置の製造方法を示す断面図である。

【図7】従来の不揮発性半導体記憶装置のメモリセルの構造を示す平面図である。

【図8】図7の一部断面図である。

15

【図9】従来の不揮発性半導体記憶装置の製造方法を示す断面図である。

【図10】従来の不揮発性半導体記憶装置の製造方法を示す断面図である。

【図11】従来の不揮発性半導体記憶装置の製造方法を示す断面図である。

*

16

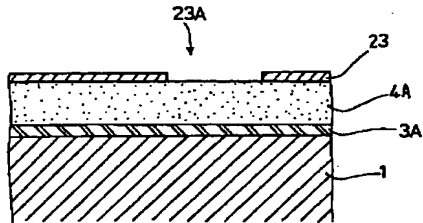
*【図12】従来の不揮発性半導体記憶装置の製造方法を示す断面図である。

【図13】従来の不揮発性半導体記憶装置の製造方法を示す断面図である。

【図14】従来の不揮発性半導体記憶装置の製造方法を示す断面図である。

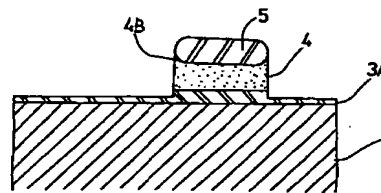
【図1】

(a)

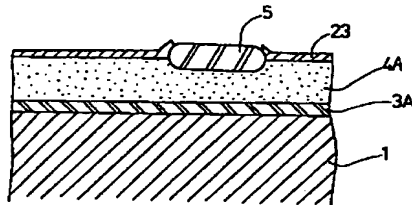


【図2】

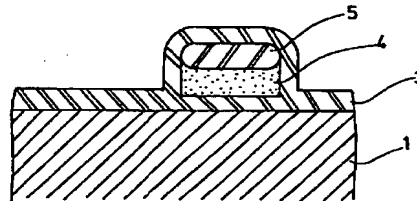
(a)



(b)

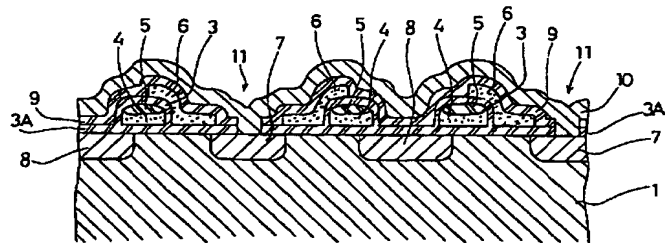
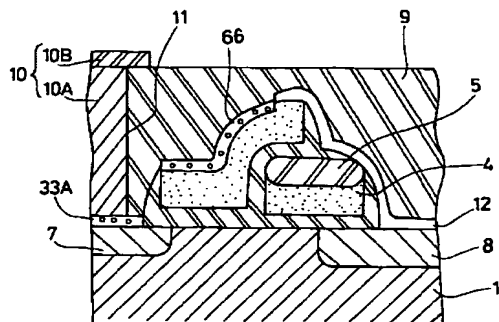


(b)

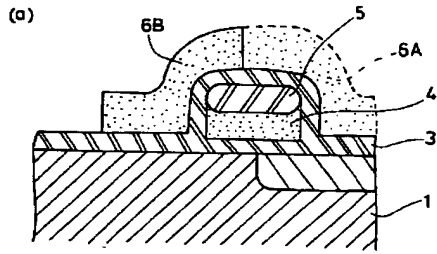


【図8】

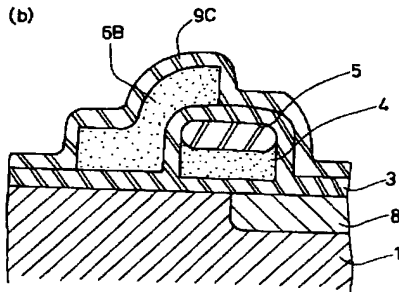
【図6】



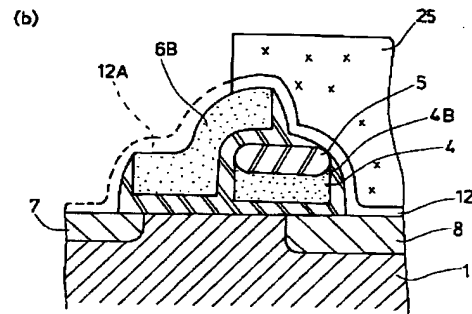
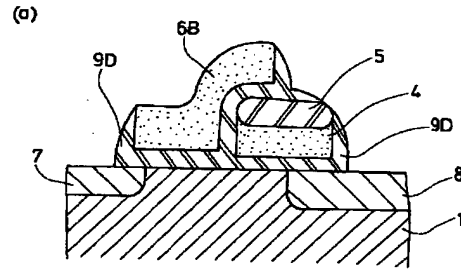
【図3】



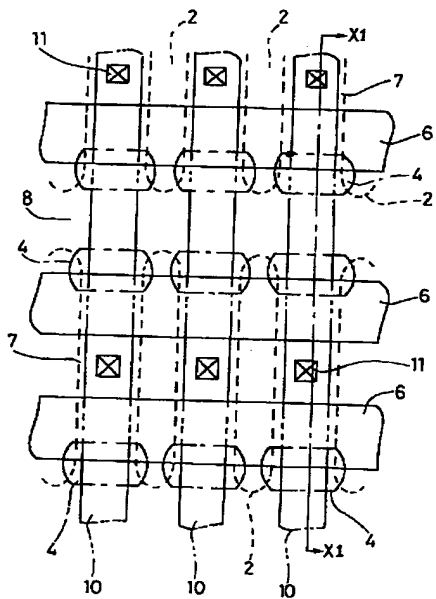
6A, 6B: 第2の導電膜



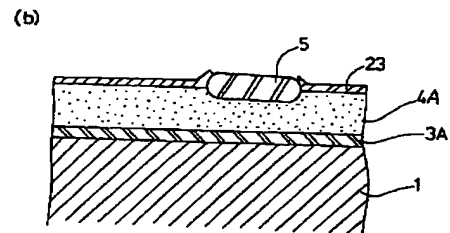
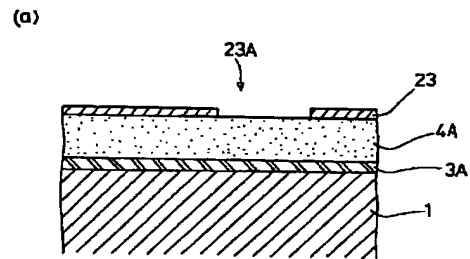
【図4】



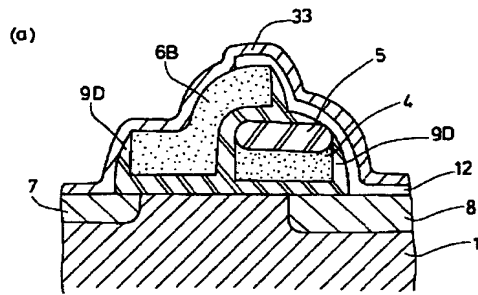
【図7】



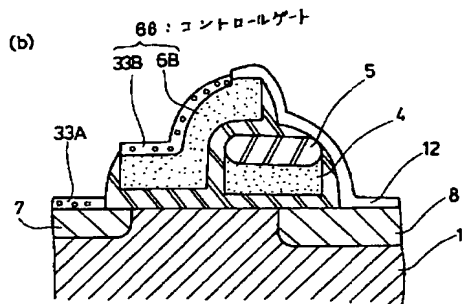
【図9】



【図5】

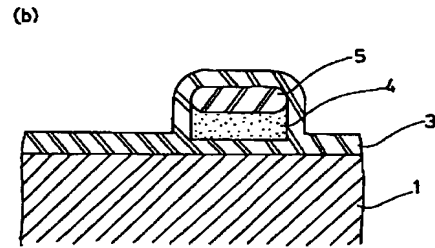
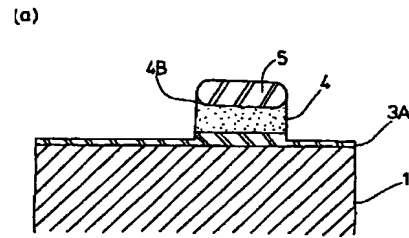


33: 4タン膜

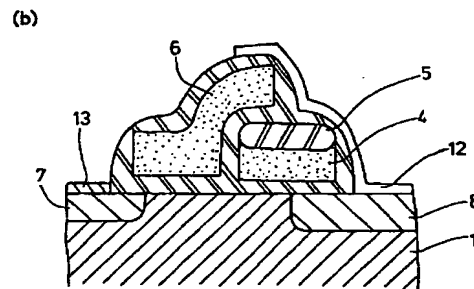
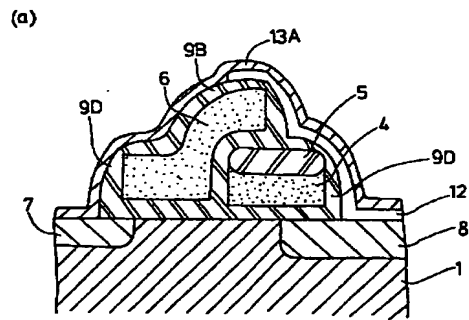


33A, 33B: ナン シヤイド膜

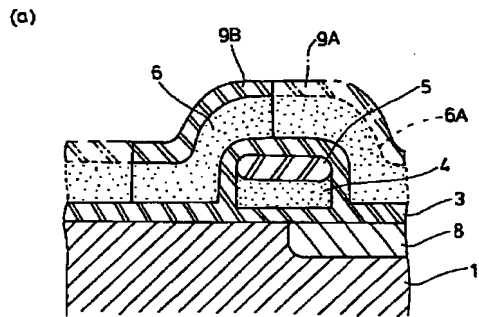
【図10】



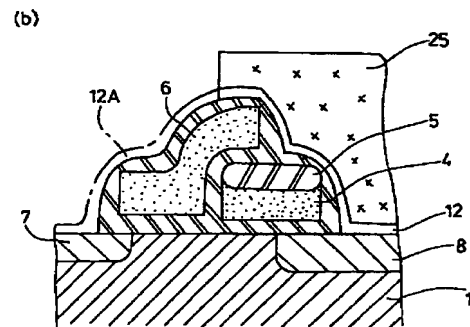
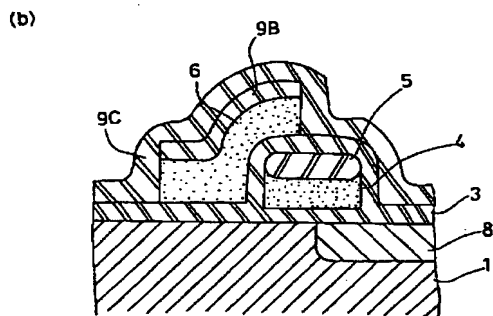
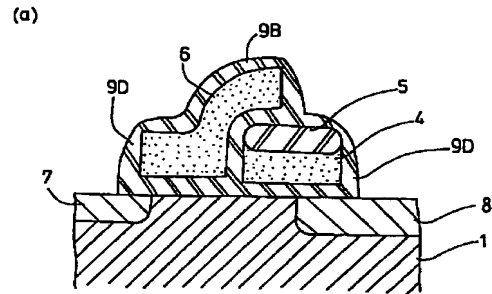
【図13】



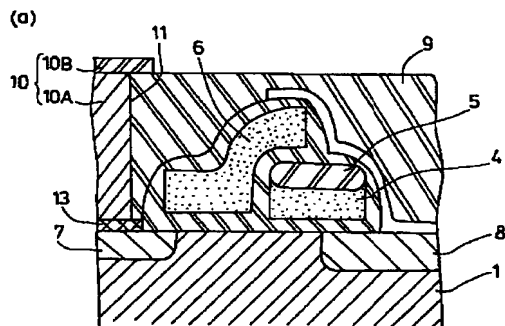
【図11】



【図12】



【図14】



フロントページの続き

F ターム(参考) 5F001 AA21 AA22 AB03 AC02 AC04
AC06 AC20 AD12 AD41 AE02
AE08 AF10 AG12 AG21 AG22
AG30
5F083 EP02 EP25 ER02 ER05 ER09
ER14 ER17 ER21 GA02 GA28
GA30 JA35 JA36 JA39 JA40
JA53 JA56 MA04 MA05 MA06
MA20 PR34 PR36

THIS PAGE BLANK (USPTO)